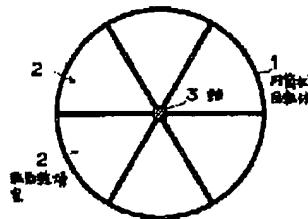


## TOILET SAND FOR PET

[71] **Applicant:** HITACHI KAKO KK  
[72] **Inventors:** TAKEBE REIICHI  
[21] **Application No.:** JP05160351  
[22] **Filed:** 19930604  
[43] **Published:** 19941220

[Go to Fulltext](#)[Get PDF](#)**[57] Abstract:**

PURPOSE: To provide toilet sand having a high lump-forming function by urine, a high urine-absorbing and a high deodorizing function and light weight.  
CONSTITUTION: Finely pulverized sodium bentonite (swelling degree is 22cc/2g) and calcium bentonite are mixed at the ratio of 1:1 and the mixture is composed with perlite of ≤2mm in diameter at the ration of 60:40 (wt.%). This is subjected to kneading under adding water to form particles having many tiny vacant spaces in them. They are fed into each of rolling drying rooms 2, 2... of the cylindrical rotating body 1 of a rotary dryer, dried by hot air while being slowly rolled and mixed in the rolling drying rooms 2, 2... by the rotation around the axis 3. The dried material is sieved to obtain the particles of 1-5mm.

[51] **Int'l Class:** A01K001015 C04B03800

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-160351

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 27/06				
21/336				
29/784				
	7342-4M	H 01 L 27/06	3 2 1 B	
	8225-4M	29/ 78	3 0 1 L	
			審査請求 未請求 請求項の数8(全15頁)	

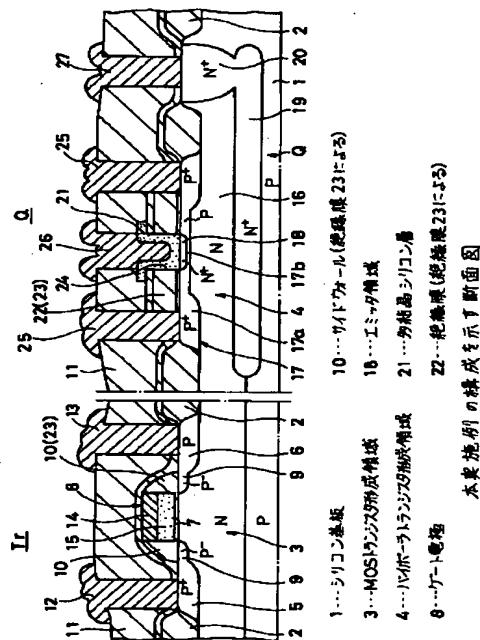
(21)出願番号	特願平3-323135	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成3年(1991)12月6日	(72)発明者	吉原 郁夫 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置及びその製法

(57)【要約】

【目的】 Bi CMOSデバイスにおいて、MOSトランジスタのゲート電極にサイドウォールを形成する際に行われるエッチング処理時におけるダメージを阻止できるようとする。

【構成】 同一基板1上にPチャネル型MOSトランジスタTrとNPNトランジスタQが形成されたBi CMOSデバイスにおいて、トランジスタTrの形成領域3にLDD領域9を自己整合的に形成するためのゲート電極8におけるサイドウォール10と、トランジスタQの形成領域4上における基板1と多結晶シリコン層21間の絶縁膜22とを同一の絶縁膜23にて形成して構成する。例えば全面に絶縁膜23を形成した後、形成領域4上にレジストを設け、例えばRIEによるエッチング処理にてゲート電極8のサイドウォール10と多結晶シリコン層21下の絶縁膜22を同時に形成する。



【特許請求の範囲】

【請求項 1】 同一基板上にMOSトランジスタとバイポーラトランジスタが形成された半導体装置において、上記MOSトランジスタの形成領域にLDD領域を形成するに供するゲート電極側壁の絶縁膜と、上記バイポーラトランジスタの形成領域上における上記基板とエミッタ電極間の絶縁膜とが同一の絶縁膜にて形成されていることを特徴とする半導体装置。

【請求項 2】 上記MOSトランジスタがPチャネル型MOSトランジスタであり、上記バイポーラトランジスタがNPNトランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項 3】 同一基板上に形成された素子分離領域にて分離されたMOSトランジスタ形成領域とバイポーラトランジスタ形成領域に夫々MOSトランジスタ及びバイポーラトランジスタが形成された半導体装置の製法において、上記MOSトランジスタ形成領域上にゲート電極を形成する工程と、

上記MOSトランジスタ形成領域に上記ゲート電極をマスクとして選択的にLDD領域形成用不純物を導入する工程と、

上記バイポーラトランジスタ形成領域に選択的にベース領域形成用不純物を導入する工程と、

全面に絶縁膜を形成した後、エッチバックして、上記MOSトランジスタ形成領域上のゲート電極の側壁及びバイポーラトランジスタ形成領域上に上記絶縁膜を残す工程と、

上記MOSトランジスタ形成領域に上記ゲート電極及び該ゲート電極の側壁に残存する絶縁膜をマスクとして選択的にソース、ドレイン領域形成用不純物を導入する工程と、

上記バイポーラトランジスタ形成領域上に残存する上記絶縁膜の一部に開口を形成した後、該開口を介して上記バイポーラトランジスタ形成領域にエミッタ領域形成用不純物を導入する工程とを有することを特徴とする半導体装置の製法。

【請求項 4】 上記全面に上記絶縁膜を形成した後、エッチバックして、上記MOSトランジスタ形成領域上の上記ゲート電極の側壁及び上記バイポーラトランジスタ形成領域上に上記絶縁膜を残す工程において、全面に上記絶縁膜を形成した後、上記バイポーラトランジスタ形成領域における上記絶縁膜上にフォトレジスト膜を形成し、その後上記エッチバックを行うことを特徴とする請求項3記載の半導体装置の製法。

【請求項 5】 上記開口を介してエミッタ領域形成用不純物を導入する工程において、上記開口を含む全面に多結晶シリコン層を形成した後、該多結晶シリコン層にエミッタ領域形成用不純物を導入し、その後、上記多結晶シリコン層をパテーニングして上記開口の部分のみに残

し、その後、熱処理を行って、残存する上記多結晶シリコン層から上記開口を介してバイポーラトランジスタ形成領域にエミッタ領域形成用不純物を拡散させることを特徴とする請求項3又は4記載の半導体装置の製法。

【請求項 6】 上記バイポーラトランジスタのベース領域がベース取出し領域と真性ベース領域からなり、上記真性ベース領域と上記MOSトランジスタのLDD領域とが同時に形成されることを特徴とする請求項3、4又は5記載の半導体装置の製法。

【請求項 7】 上記MOSトランジスタがPチャネル型MOSトランジスタであり、上記バイポーラトランジスタがNPNトランジスタであることを特徴とする請求項3～6記載のいずれかの半導体装置の製法。

【請求項 8】 上記MOSトランジスタにおける上記ゲート電極が上層のタングステンシリサイド層と下層の多結晶シリコン層によるタングステンポリサイド層にて形成されることを特徴とする請求項3～7記載のいずれかの半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、特に同一基板上にMOSトランジスタとバイポーラトランジスタが形成されたBiCMOSデバイス及びその製法に関する。

【0002】

【従来の技術】 近時、半導体装置に関し、メモリセルを高集積化が可能なMOSトランジスタで構成し、周辺回路をバイポーラトランジスタを含む回路で構成して高速化を図った所謂BiCMOSデバイスが注目されている。

【0003】 ここで、重要なのは、バイポーラプロセスとCMOSプロセスの融合による製造工程の合理化と、段差低減などの構造自体の簡略化である。

【0004】 ここで、従来のBiCMOSデバイスの製法を図12～図17に基いて説明する。まず、図12Aに示すように、例えばP型のシリコン基板51上にN型のエピタキシャル層52を形成する。このとき、バイポーラトランジスタが形成される領域（以下、バイポーラトランジスタ形成領域と記す）53にN型の埋め込み層54が形成される。その後、選択酸化を行ってエピタキシャル層52の表面に選択的にフィールド絶縁層55を形成する。

【0005】 次に、図12Bに示すように、全面に多結晶シリコン層を形成した後、パターンニングしてMOSトランジスタが形成される領域（以下、単にMOSトランジスタ形成領域と記す）56に多結晶シリコン層によるゲート電極57を形成する。

【0006】 次に、図13Aに示すように、バイポーラトランジスタ形成領域53上にフォトレジスト膜58を形成した後、ゲート電極57をマスクとしてMOSト

ンジスタ形成領域 5 6 に LDD 領域形成用の不純物、例えば  $\text{BF}_2^+$  をイオン注入して P 型（低濃度）の LDD 領域 5 9 を形成する。

【0007】次に、図 13B に示すように、バイポーラトランジスタ形成領域 5 3 上のフォトレジスト膜 5 8 を除去した後、MOSトランジスタ形成領域 5 6 及びコレクタ取出し領域が形成される部分にフォトレジスト膜 6 0 を形成する。その後、バイポーラトランジスタ形成領域 5 3 にベース領域形成用の不純物、例えば  $\text{BF}_2^+$  をイオン注入して P 型のベース領域 6 1 を形成する。

【0008】次に、図 14A に示すように、上記フォトレジスト膜 6 0 を除去した後、再び MOSトランジスタ形成領域 5 6 及びバイポーラトランジスタ形成領域 5 3 の真性ベース領域となる部分にフォトレジスト膜 6 2 を形成する。その後、フォトレジスト膜 6 2 をマスクとしてバイポーラトランジスタ形成領域 5 3 にベース取出し領域形成用の不純物、例えば  $\text{BF}_2^+$  をイオン注入してバイポーラトランジスタ形成領域に P 型（高濃度）のベース取出し領域 6 1 a を形成する。

【0009】次に、図 14B に示すように、上記フォトレジスト膜 6 2 を除去した後、全面に例えば  $\text{SiO}_2$  からなる絶縁膜を CVD 法等で形成する。その後、RIE（反応性イオンエッティング）にて全面エッチバックを行って、ゲート電極 5 7 の側壁に絶縁膜を残す。即ち、ゲート電極 5 7 に上記絶縁膜によるサイドウォール 6 3 を形成する。

【0010】次に、図 15A に示すように、バイポーラトランジスタ形成領域 5 3 上にフォトレジスト膜 6 4 を形成した後、ゲート電極 5 7 及びサイドウォール 6 3 をマスクとして MOSトランジスタ形成領域 5 6 にソース、ドレイン領域形成用の不純物、例えば  $\text{BF}_2^+$  をイオン注入して MOSトランジスタ形成領域 5 6 に P 型（高濃度）のソース領域 6 5 及びドレイン領域 6 6 を形成する。

【0011】次に、図 15B に示すように、上記フォトレジスト膜 6 4 を除去した後、コレクタ取出し領域となる部分を除く、バイポーラトランジスタ形成領域 5 3 と MOSトランジスタ形成領域 5 6 上にフォトレジスト膜 6 7 を形成した後、Nチャネル型 MOSトランジスタのソース領域及びドレイン領域となる部分（図示せず）並びにコレクタ取出し領域となる部分に N 型の不純物をイオン注入して、Nチャネル型 MOSトランジスタとなる部分に夫々 N 型のソース領域及びドレイン領域（図示せず）を形成すると共に、バイポーラトランジスタ形成領域 5 3 に N 型のコレクタ取出し領域 6 8 を形成する。

【0012】次に、図 16A に示すように、上記フォトレジスト膜 6 7 を除去した後、全面に例えば  $\text{SiO}_2$  からなる絶縁膜 6 9 を CVD 法等で形成する。その後、エミッタ領域が形成される部分に対応した箇所に開口 6 9

a を形成した後、全面に多結晶シリコン層 7 0 を形成する。その後、多結晶シリコン層 7 0 中にエミッタ領域形成用の不純物、例えば砒素（As<sup>+</sup>）をイオン注入する。

【0013】次に、図 16B に示すように、多結晶シリコン層 7 0 をパターニングして開口 6 9 a の部分のみに多結晶シリコン層 7 0 を残す。その後、例えば  $\text{SiO}_2$  からなる層間絶縁膜 7 1 を形成した後、熱処理を行う。このとき、多結晶シリコン層 7 0 中の不純物が真性ベース領域 6 1 b 内に拡散して N 型のエミッタ領域 7 2 が形成される。

【0014】そして、図 17 に示すように、ソース領域 6 5 、ドレイン領域 6 6 、ベース取出し領域 6 1 a 、多結晶シリコン層 7 0 及びコレクタ取出し領域 6 8 に対応する箇所に夫々開口 7 3 を形成した後、全面に A 1 層を形成し、その後、A 1 層をパターニングして A 1 層によるソース電極 7 4 、ドレイン電極 7 5 、ベース電極 7 6 、エミッタ電極 7 7 及びコレクタ電極 7 8 を夫々形成して BiCMOS デバイスを得る。

#### 【0015】

【発明が解決しようとする課題】しかしながら、従来の BiCMOS デバイスにおいては、図 14B で示す工程にて、ゲート電極 5 7 にサイドウォール 6 3 を形成する際、RIE による全面エッチバックを行うが、このとき、バイポーラトランジスタ形成領域 5 3 、特にその動作領域にエッティングによるダメージが入るという問題がある。このダメージを解消させるには、高温（例えば 1000°C 以上）の熱処理が必要であるが、通常、MOSトランジスタの形成プロセスでは、不純物の異常拡散の関係から高温による熱処理を行うことができない。

【0016】従って、バイポーラトランジスタ形成領域 5 3 に入ったエッティングによるダメージを、その後のプロセスで有効に除去することができず、作製された BiCMOS デバイスのうち、バイポーラトランジスタの特性がどうしても劣化してしまうという問題があった。

【0017】本発明は、このような課題に鑑み成されたもので、その目的とするところは、MOSトランジスタのゲート電極にサイドウォールを形成する際のエッティング処理時において、バイポーラトランジスタ形成領域にエッティングによるダメージを与えることがなく、特性の劣化を引き起こすことのない半導体装置を提供することにある。

【0018】また、本発明は、製造工程の増加を最小限に抑えて、かつバイポーラトランジスタ形成領域へのダメージを防止することができる半導体装置の製法を提供することにある。

#### 【0019】

【課題を解決するための手段】本発明は、同一基板 1 上に MOSトランジスタ T<sub>1</sub> とバイポーラトランジスタ Q が形成された半導体装置において、MOSトランジスタ

T<sub>r</sub>の形成領域3にLDD領域9を形成するに供するゲート電極8側壁の絶縁膜10と、バイポーラトランジスタQの形成領域4上における上記基板1とエミッタ電極26間の絶縁膜22とを同一の絶縁膜23にて形成して構成する。

【0020】また、本発明は、同一基板1上に形成された素子分離領域2にて分離されたMOSトランジスタ形成領域3とバイポーラトランジスタ形成領域4に夫々MOSトランジスタT<sub>r</sub>及びバイポーラトランジスタQが形成された半導体装置の製法において、MOSトランジスタ形成領域3上にゲート電極8を形成した後、MOSトランジスタ形成領域3にゲート電極8をマスクとして選択的にLDD領域形成用不純物を導入する。その後、バイポーラトランジスタ形成領域4に選択的にベース領域形成用不純物を導入する。

【0021】次いで、全面に絶縁膜23を形成した後、エッチバックして、MOSトランジスタ形成領域3上のゲート電極8の側壁及びバイポーラトランジスタ形成領域4上に上記絶縁膜23を残す。その後、MOSトランジスタ形成領域3にゲート電極8及び該ゲート電極8の側壁に残存する絶縁膜23（サイドウォール10）をマスクとして選択的にソース、ドレイン領域形成用不純物を導入する。次いで、バイポーラトランジスタ形成領域4上に残存する絶縁膜23（絶縁膜22）の一部に開口24を形成した後、該開口24を介してバイポーラトランジスタ形成領域4にエミッタ領域形成用不純物を導入する。

#### 【0022】

【作用】ゲート電極8側壁に絶縁膜23を残してゲート電極8に絶縁膜23によるサイドウォール10を形成する際、例えばRIEによるエッチングが全面に対して行われ、通常は、バイポーラトランジスタ形成領域4上の絶縁膜23は全てエッチング除去されるわけであるが、本発明の構成では、ゲート電極8のサイドウォール10と、バイポーラトランジスタ形成領域4上における基板1とエミッタ電極26間の絶縁膜22とを同一の絶縁膜23にて形成するようしているため、バイポーラトランジスタ形成領域4上の絶縁膜22は、エッチングされず、最終工程まで残存することになる。このことは、バイポーラトランジスタ形成領域4へのエッチングによるダメージは、上層の絶縁膜22によって回避されることになり、エッチングダメージによるバイポーラトランジスタQの特性劣化を防止することができる。

【0023】また、本発明の製法によれば、全面に絶縁膜23を形成した後、ゲート電極8側壁に絶縁膜23を残してゲート電極8に絶縁膜23によるサイドウォール10を形成する場合において、例えばRIEによるエッチングを全面に対して行ったとしても、バイポーラトランジスタ形成領域4上に上記絶縁膜23（絶縁膜22）を残すことができる。

【0024】従って、バイポーラトランジスタ形成領域4へのエッチングによるダメージが、バイポーラトランジスタ形成領域4上の絶縁膜22によって回避されることになり、エッチングダメージによるバイポーラトランジスタQの特性劣化を防止することができる。

【0025】この場合、例えば全面に上記絶縁膜23を形成した後、エッチバックを行う前に予め、バイポーラトランジスタ形成領域4における絶縁膜23上にフォトレジスト膜37を形成するだけでよいため、製造工程の増加を最小限に抑えることができる。尚、バイポーラトランジスタQのベース領域17がベース取り出し領域17aと真性ベース領域17bとで構成される場合、上記真性ベース領域17bとMOSトランジスタT<sub>r</sub>のLDD領域9とを同時に形成することにより、製造工程の簡略化を図ることができ、上記フォトレジスト膜37の形成に伴う製造工程の増加を相殺させることができる。

【0026】このように、本発明に係る製法によれば、製造工程の増加を最小限に抑えて、かつバイポーラトランジスタ形成領域4へのダメージを防止することができる。

#### 【0027】

【実施例】以下、図1～図11を参照しながら本発明の実施例を説明する。図1は、本実施例に係るBiCMOSデバイス（以下、単にデバイスと記す）の構成を示す断面図である。

【0028】このデバイスは、図示するように、同一のシリコン基板1上にPチャネル型MOSトランジスタT<sub>r</sub>とNPNトランジスタQを有する。これらトランジスタT<sub>r</sub>及びQは、例えば選択酸化（LOCOS）法等で形成された素子分離領域（フィールド絶縁層）2によって互いに分離されたMOSトランジスタ形成領域3とバイポーラトランジスタ形成領域4に夫々形成されている。

【0029】そして、Pチャネル型MOSトランジスタT<sub>r</sub>は、その形成領域3に形成された例えはP型（高濃度）のソース領域5及びドレイン領域6と、チャネル領域上にゲート絶縁膜7を介して形成されたゲート電極8から構成されている。特に、本例では、MOSトランジスタの高集積化に伴うドレイン端への電界集中（短チャネル効果）を防止するために、P型（低濃度）のLDD領域9が形成されている。

【0030】このLDD領域9は、ゲート電極8の側壁に残存する絶縁膜、即ちサイドウォール10下に形成される。尚、11は層間絶縁膜、12及び13は夫々A1層によるソース電極及びドレイン電極である。また、ゲート電極8は、上層のタンゲステンシリサイド層14と下層の多結晶シリコン層15からなるタンゲステンポリサイド層にて形成される。

【0031】一方、NPNトランジスタQは、その形成領域4に形成された例えはN型のコレクタ領域（エピタ

キシャル層 16) と、P型のベース領域 17 と、N型のエミッタ領域 18 から構成されている。特に、本例では、上記ベース領域 17 は、比較的深さがあり、中央のエミッタ領域を囲むように平面ほぼコ字状に形成されたベース取出し領域 17a と、エミッタ領域 18 の下層に拡がる比較的浅い真性ベース領域 17b から構成されている。

【0032】また、コレクタ領域 16 の下層には、コレクタ抵抗を低減させるためのN型の埋め込み層 19 と表面から埋め込み層 19 に達するコレクタ取出し領域 20 を有する。また、エミッタ領域 18 は、その上層に形成された不純物ドープの多結晶シリコン層 21 からの不純物拡散によって形成されている。

【0033】しかし、本例においては、バイポーラトランジスタ形成領域 4 と多結晶シリコン層 21 間に形成された絶縁膜 22 と、MOSトランジスタ形成領域 3 上のゲート電極 8 に形成されたサイドウォール 10 とが同じ絶縁膜 23 にて形成されている。

【0034】即ち、全面に絶縁膜 23 を形成した後、例えばRIEによるエッチング処理にてゲート電極 8 のサイドウォール 10 と多結晶シリコン層 21 下の絶縁膜 22 を同時に形成する。そして、絶縁膜 22 に開口 24 を形成した後、不純物ドープの多結晶シリコン層 21 を形成して、その後の熱処理により、多結晶シリコン層 21 から不純物を拡散させてエミッタ領域 18 を形成する。

【0035】尚、図において、25、26及び27は、A1層によるベース電極、エミッタ電極及びコレクタ電極を示す。また、図2にNPNトランジスタの平面形状を示す。この図から、エミッタ領域 18 上に多結晶シリコン層 21 が形成され、該多結晶シリコン層 21 上にA1層によるエミッタ電極 26 が形成された形となっており、また、エミッタ電極 26 を囲むようにベース電極 25 がほぼ平面コ字状に形成された形となっている。

【0036】このように、ゲート電極 8 の側壁に絶縁膜 23 を残してゲート電極 8 に絶縁膜 23 によるサイドウォール 10 を形成する際、例えばRIEによるエッチングが全面に対して行われ、通常は、バイポーラトランジスタ形成領域 4 上の絶縁膜 23 は全てエッチング除去されるわけであるが、本実施例の構成では、ゲート電極 8 のサイドウォール 10 と、バイポーラトランジスタ形成領域 4 上における基板 1 と多結晶シリコン層 21 間の絶縁膜 22 とを同一の絶縁膜 23 にて形成するようにしているため、バイポーラトランジスタ形成領域 4 上の絶縁膜 22 は、上記RIEによってはエッチングされず、最終工程まで残存することになる。このことは、バイポーラトランジスタ形成領域 4 へのエッチングによるダメージは、上層の絶縁膜 22 によって回避されることになり、エッチングダメージによるバイポーラトランジスタの特性劣化を防止することができる。

【0037】次に、上記本実施例に係るデバイスを作製

するための製法を図3～図10の工程図に基いて説明する。尚、図1と対応するものについては同符号を記す。

【0038】まず、図3Aに示すように、例えばP型のシリコン基板 1 上に熱酸化膜 31 を形成した後、NPNトランジスタが形成される部分に窓 31a を形成する。その後、全面にアンチモン膜 32 を形成した後、熱処理を施してアンチミン膜 32 よりN型の不純物(アンチモン)を熱酸化膜 31 の窓 31a を通してシリコン基板 1 の表面に拡散させて、N型の不純物拡散領域 33 を形成する。

【0039】次に、図3Bに示すように、表面のアンチモン膜 32 及び熱酸化膜 31 を剥離した後、シリコン基板 1 上にN型のエピタキシャル層 16 を堆積させる。このとき、エピタキシャル層 16 中のNPNトランジスタが形成される領域(以下、単にバイポーラトランジスタ形成領域と記す)4下のN型の不純物拡散領域 33 が上方に成長してN型の埋め込み層 19 となる。エピタキシャル層 16 は約 1.5 μm の厚みを有する。その後、エピタキシャル層 16 を選択的に酸化してフィールド絶縁層 2 を形成する。

【0040】次に、図3Cに示すように、全面に厚み約 100 nm の多結晶シリコン層 15 及び厚み約 100 nm のタングステンシリサイド層 14 を順次形成してタングステンポリサイド層とする。このとき、多結晶シリコン層 15 には、不純物が導入されて導電性を有している。その後、上記タングステンポリサイド層をパターニングして、エピタキシャル層 16 中のPチャネル型MOSトランジスタが形成される領域(以下、単にMOSトランジスタ形成領域と記す)3上にタングステンポリサイド層によるゲート電極 8 を形成する。

【0041】次に、図4Aに示すように、バイポーラトランジスタ形成領域 4 上にフォトレジスト膜 34 を形成した後、ゲート電極 8 をマスクとしてMOSトランジスタ形成領域 3 にLDD領域形成用の不純物、例えばBF<sub>2</sub><sup>+</sup>をイオン注入してP型(低濃度)のLDD領域 9 を自己整合的に形成する。尚、図では省略したが、その後において、Nチャネル型MOSトランジスタが形成される領域に、N型のLDD領域が形成される。

【0042】次に、図4Bに示すように、バイポーラトランジスタ形成領域 4 上のフォトレジスト膜 34 を除去した後、MOSトランジスタ形成領域 3 上及びコレクタ取出し領域となる部分上にフォトレジスト膜 35 を形成する。その後、ベース領域となる部分にベース領域形成用の不純物、例えばBF<sub>2</sub><sup>+</sup>をイオン注入してP型のベース領域 17 を形成する。

【0043】この例では、LDD領域 9 とベース領域 17 を別工程にて形成するようにしたが、その他図11に示すように、コレクタ取出し領域となる部分を除く、バイポーラトランジスタ形成領域 4 及びMOSトランジスタ形成領域 3 に上記不純物を同時にイオン注入してバイ

バイポーラトランジスタ形成領域4にP型のベース領域（比較的浅い領域）17を、上記LDD領域9と同時に形成するようにしてもよい。

【0044】次に、図5Aに示すように、MOSトランジスタ形成領域3上及びコレクタ取出し領域となる部分上のフォトレジスト膜35を除去した後、再びMOSトランジスタ形成領域3、バイポーラトランジスタ形成領域4の真性ベース領域となる部分及びコレクタ取出し領域となる部分にフォトレジスト膜36を形成する。その後、フォトレジスト膜36をマスクとしてバイポーラトランジスタ形成領域4にベース取出し領域形成用の不純物、例えばBF<sub>2</sub><sup>+</sup>をイオン注入してバイポーラトランジスタ形成領域4にP型（高濃度）のベース取出し領域（グラフトベース）17aを形成する。

【0045】次に、図5Bに示すように、上記フォトレジスト膜36を除去した後、全面に例えばSiO<sub>2</sub>からなる厚み約250nmの絶縁膜23をCVD法等で形成する。その後、バイポーラトランジスタ形成領域4中、特に動作領域となる部分の絶縁膜23上にフォトレジスト膜37を形成する。

【0046】次に、図6Aに示すように、RIEにて全面エッチバックを行って、ゲート電極8の側壁に絶縁膜23を残す。即ち、ゲート電極8に上記絶縁膜23によるサイドウォール10を形成する。一方、バイポーラトランジスタ形成領域4中、その動作領域となる部分は、フォトレジスト膜37の存在によってRIEによるエッチングが阻止されるため、バイポーラトランジスタ形成領域4（特に、動作領域）にエッチングによるダメージは入らない。このとき、バイポーラトランジスタ形成領域4上に絶縁膜23が残存し、図1で示す絶縁膜22が形成される。

【0047】次に、図6Bに示すように、バイポーラトランジスタ形成領域4上のフォトレジスト膜37を除去した後、全面に厚み約20nmのSiO<sub>2</sub>膜38をCVD法にて形成する。このSiO<sub>2</sub>膜38は、後の工程で多結晶シリコン層21（図1参照）をパターニングする際の基板1（特に、MOSトランジスタ形成領域3）に対するオーバーエッチングを防止する上で重要である。

【0048】その後、バイポーラトランジスタ形成領域4上及び図示しないがNチャネル型MOSトランジスタが形成される部分にフォトレジスト膜39を形成した後、ゲート電極8及びサイドウォール10をマスクとしてMOSトランジスタ形成領域3にソース、ドレイン領域形成用の不純物、例えばBF<sub>2</sub><sup>+</sup>をイオン注入してMOSトランジスタ形成領域3にP型（高濃度）のソース領域5及びドレイン領域6を形成する。

【0049】続いて、図7Aに示すように、上記フォトレジスト膜39を除去した後、コレクタ取出し領域となる部分を除く、バイポーラトランジスタ形成領域4とMOSトランジスタ形成領域4上にフォトレジスト膜40

を形成した後、Nチャネル型MOSトランジスタのソース領域及びドレイン領域となる部分（図示せず）並びにコレクタ取出し領域となる部分にN型の不純物をイオン注入して、Nチャネル型MOSトランジスタとなる部分に夫々N型のソース領域及びドレイン領域（図示せず）を形成すると共に、バイポーラトランジスタ形成領域4にN型のコレクタ取出し領域20を形成する。

【0050】次に、図7Bに示すように、上記フォトレジスト膜40を除去した後、エミッタ領域に対応する部分に開口41aを有するフォトレジスト膜41を形成する。その後、フォトレジスト膜41の開口41aを介して下層の絶縁膜38及び22をエッティング除去し、バイポーラトランジスタ形成領域4に達する開口24を形成する。

【0051】次に、図8Aに示すように、上記フォトレジスト膜41を除去した後、全面に厚み約150nmの多結晶シリコン層21を形成する。その後、多結晶シリコン層21中にエミッタ領域形成用の不純物、例えば砒素（As<sup>+</sup>）をイオン注入する。

【0052】次に、図8Bに示すように、開口24の部分にフォトレジスト膜42を形成した後、露出する多結晶シリコン層21をエッティング除去して開口24の部分に多結晶シリコン層21を残す。この多結晶シリコン層21に対するエッティング時、下層のSiO<sub>2</sub>膜38がエッティングストップとなるため、特にMOSトランジスタ形成領域3におけるソース領域5及びドレイン領域6に対するオーバーエッチングを防止することができる。

【0053】次に、図9に示すように、多結晶シリコン層21上のフォトレジスト膜42を除去した後、全面に例えばSiO<sub>2</sub>からなる層間絶縁膜11を形成し、次いで熱処理を行う。このとき、多結晶シリコン層21中の不純物が真性ベース領域17b内に拡散してN型のエミッタ領域18が形成される。

【0054】そして、図10に示すように、ソース領域5、ドレイン領域6、ベース取出し領域17a、多結晶シリコン層21及びコレクタ取出し領域20に対応する箇所に夫々開口43を形成した後、全面にA1層を形成し、その後、該A1層をパターニングしてA1層によるソース電極12、ドレイン電極13、ベース電極25、エミッタ電極26及びコレクタ電極27を夫々形成して本例に係るデバイスを得る。

【0055】この製法によれば、図5B及び図6Aに示すように、全面に絶縁膜23を形成した後、ゲート電極8側壁に絶縁膜23を残してゲート電極8に絶縁膜23によるサイドウォール10を形成する場合において、例えばRIEによるエッチングを全面に対して行ったとしても、バイポーラトランジスタ形成領域4上に上記絶縁膜23を残すことができる。

【0056】従って、バイポーラトランジスタ形成領域4へのエッチングによるダメージが、バイポーラトラン

ジスタ形成領域4上の絶縁膜22(残存する絶縁膜23)によって回避されることになり、エッチングダメージによるバイポーラトランジスタ(図示の例では、NPNトランジスタQ)の特性劣化を防止することができる。

【0057】この場合、例えば全面に上記絶縁膜23を形成した後、エッチャックを行う前に予め、バイポーラトランジスタ形成領域4における絶縁膜23上にフォトレジスト膜37を形成するだけでよいため、製造工程の増加を最小限に抑えることができる。尚、バイポーラトランジスタQのベース領域17が図示するように、ベース取り出し領域17aと真性ベース領域17bとで構成される場合、上記真性ベース領域17bとMOSトランジスタTrのLDD領域9とを同時に形成することにより、製造工程の簡略化を図ることができ、上記フォトレジスト膜37の形成に伴う製造工程の増加を相殺させることができる。

#### 【0058】

【発明の効果】本発明に係る半導体装置によれば、BiCMOSにおいて、MOSトランジスタのゲート電極にサイドウォールを形成する際のエッチング処理時に、バイポーラトランジスタ形成領域へのエッチングによるダメージを与えることがなく、該エッチングダメージによる特性の劣化を阻止することができる。

【0059】また、本発明に係る半導体装置の製法によれば、BiCMOSデバイスにおける製造工程の増加を最小限に抑えて、かつバイポーラトランジスタが形成される領域へのエッチングダメージを防止することができる。

#### 【図面の簡単な説明】

【図1】本実施例に係るBiCMOSデバイスの構成を示す断面図。

【図2】本実施例に係るNPNトランジスタの構成を示す平面図。

【図3】本実施例に係るBiCMOSデバイスの製法を示す工程図(その1)。

【図4】本実施例に係るBiCMOSデバイスの製法を示す工程図(その2)。

【図5】本実施例に係るBiCMOSデバイスの製法を示す工程図(その3)。

【図6】本実施例に係るBiCMOSデバイスの製法を示す工程図(その4)。

【図7】本実施例に係るBiCMOSデバイスの製法を示す工程図(その5)。

【図8】本実施例に係るBiCMOSデバイスの製法を示す工程図(その6)。

【図9】本実施例に係るBiCMOSデバイスの製法を示す工程図(その7)。

【図10】本実施例に係るBiCMOSデバイスの製法を示す工程図(その8)。

【図11】本実施例に係るBiCMOSデバイスの製法の他の例を示す工程経過図。

【図12】従来例に係るBiCMOSデバイスの製法を示す工程図(その1)。

【図13】従来例に係るBiCMOSデバイスの製法を示す工程図(その2)。

【図14】従来例に係るBiCMOSデバイスの製法を示す工程図(その3)。

【図15】従来例に係るBiCMOSデバイスの製法を示す工程図(その4)。

【図16】従来例に係るBiCMOSデバイスの製法を示す工程図(その5)。

【図17】従来例に係るBiCMOSデバイスの製法を示す工程図(その6)。

#### 【符号の説明】

Tr Pチャネル型MOSトランジスタ

Q NPNトランジスタ

1 シリコン基板

2 フィールド絶縁層

3 MOSトランジスタ形成領域

4 バイポーラトランジスタ形成領域

5 ソース領域

6 ドレイン領域

7 ゲート絶縁膜

8 ゲート電極

9 LDD領域

10 サイドウォール(絶縁膜23)

11 層間絶縁膜

12 ソース電極

13 ドレイン電極

14 タングステンシリサイド層

15 多結晶シリコン層

16 エピタキシャル層

17 ベース領域

17a ベース取り出し領域

17b 真性ベース領域

18 エミッタ領域

19 埋め込み層

20 コレクタ取り出し領域

21 多結晶シリコン層

22 絶縁膜(絶縁膜23)

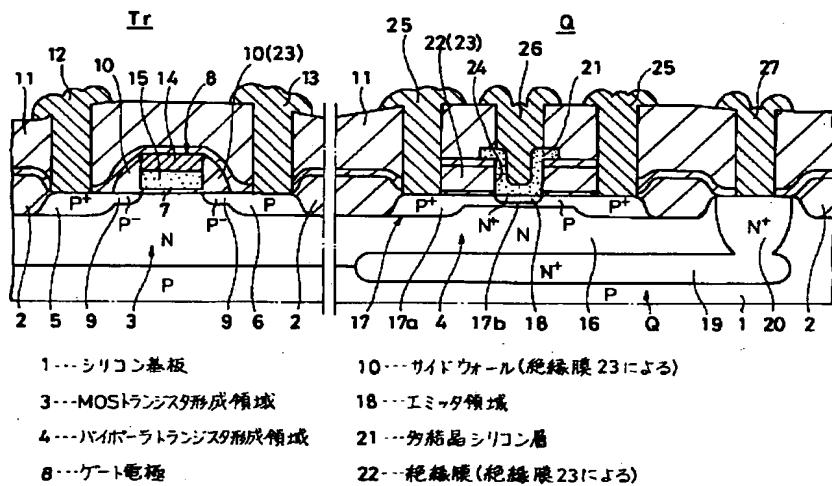
25 ベース電極

26 エミッタ電極

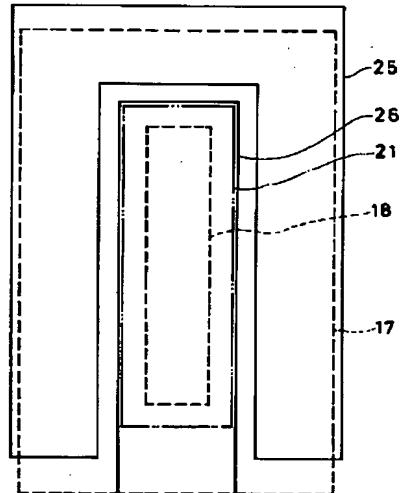
27 コレクタ電極

37 フォトレジスト膜

【図1】

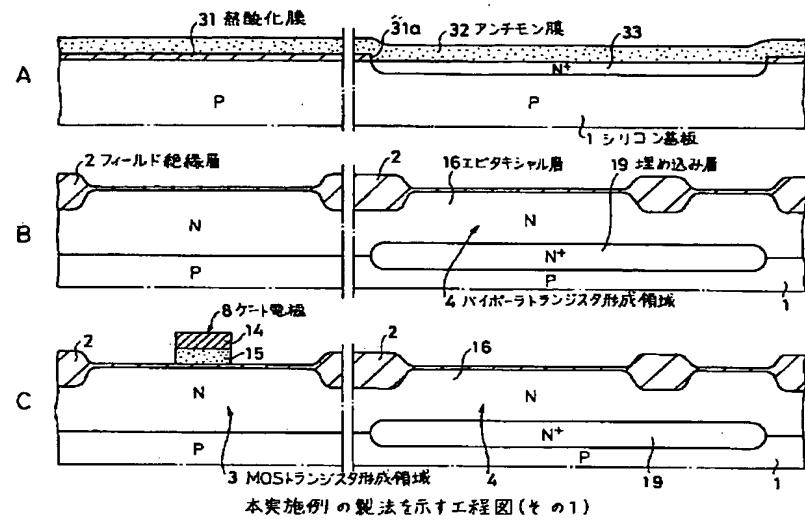


【図2】

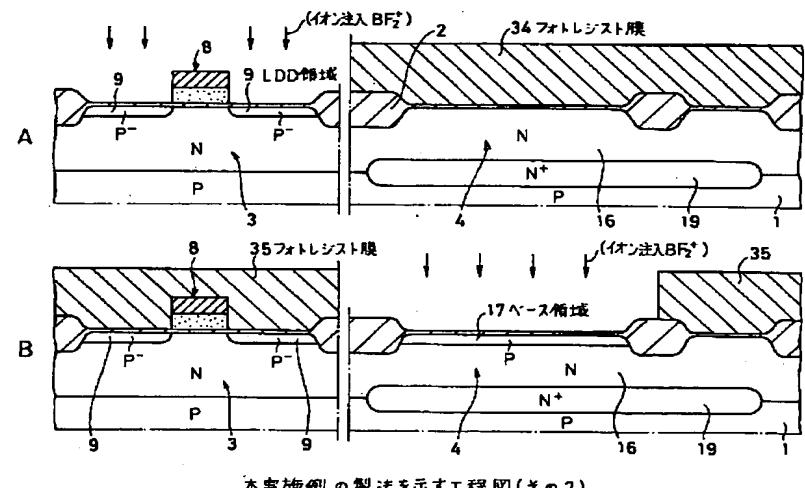


本実施例のNPNトランジスタを示す平面図

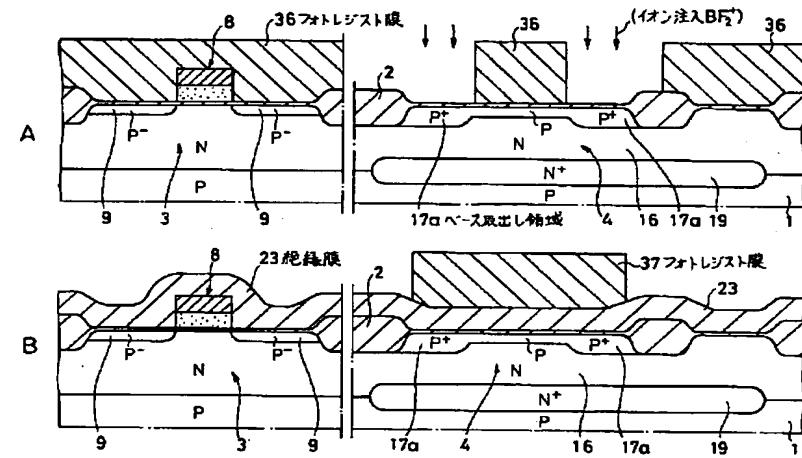
【図3】



【図4】

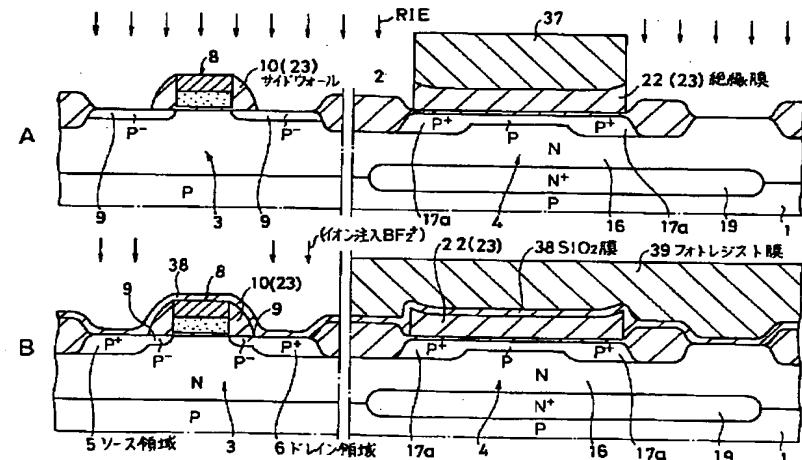


【図 5】



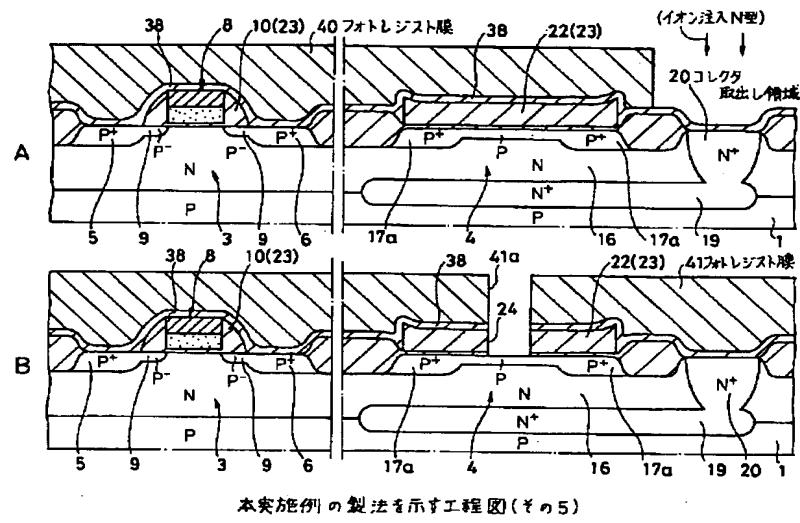
本実施例の製法を示す工程図(その3)

【図 6】



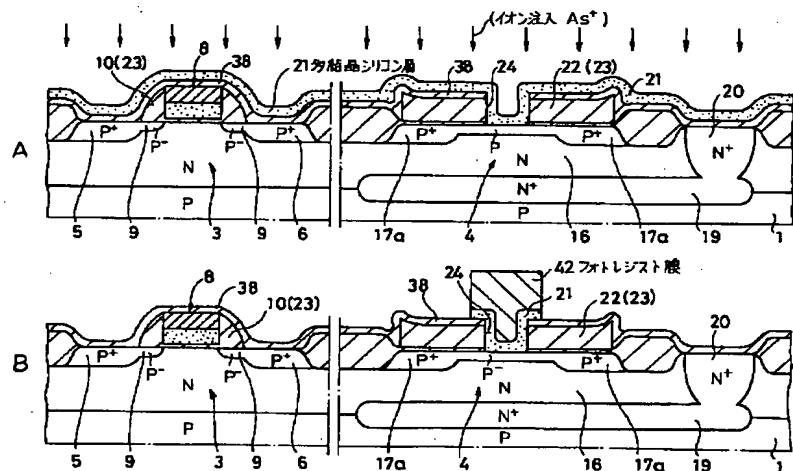
本実施例の製法を示す工程図(その4)

【図 7】



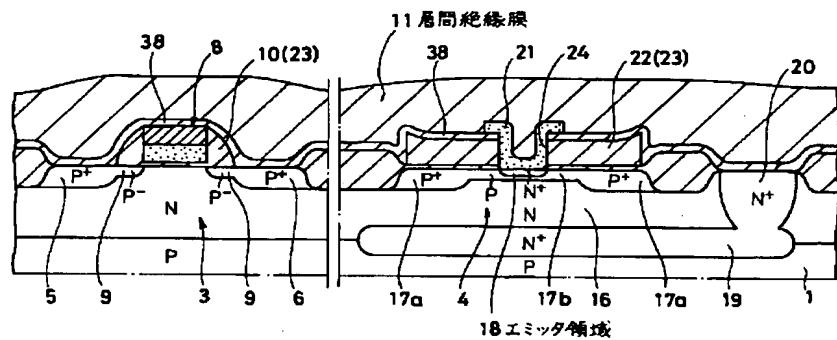
本実施例の製法を示す工程図(その5)

【図 8】



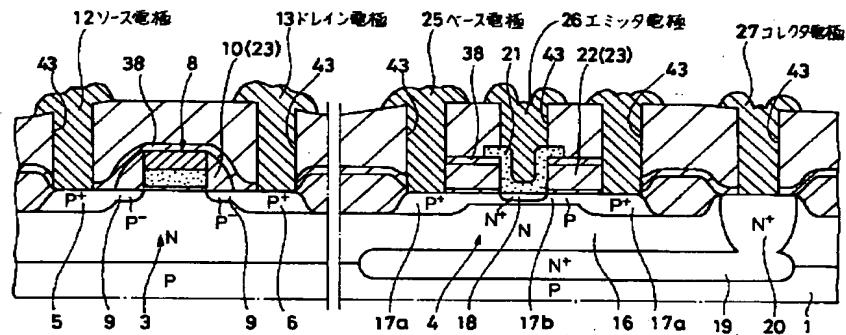
本実施例の製法を示す工程図(その5)

【図 9】



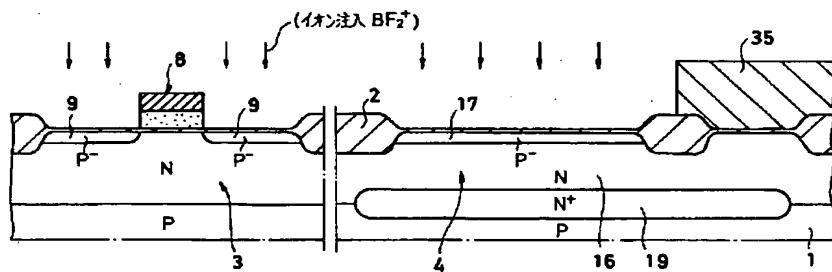
本実施例の製法を示す工程図(その7)

【図 10】



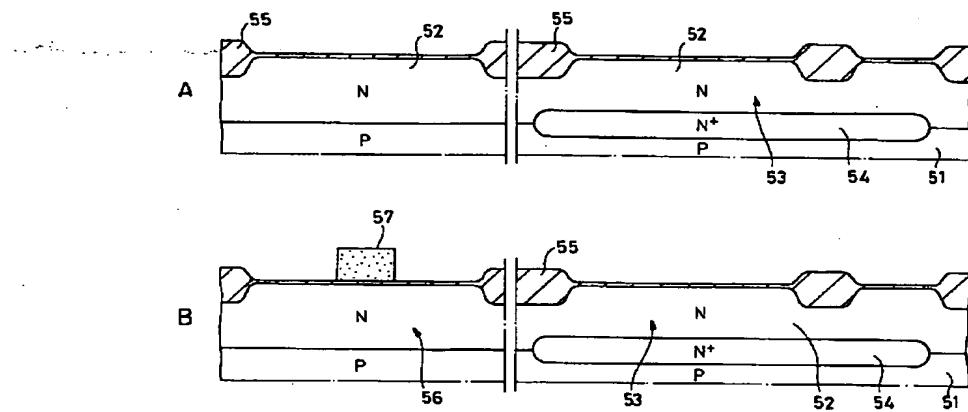
本実施例の製法を示す工程図(その8)

【図 11】



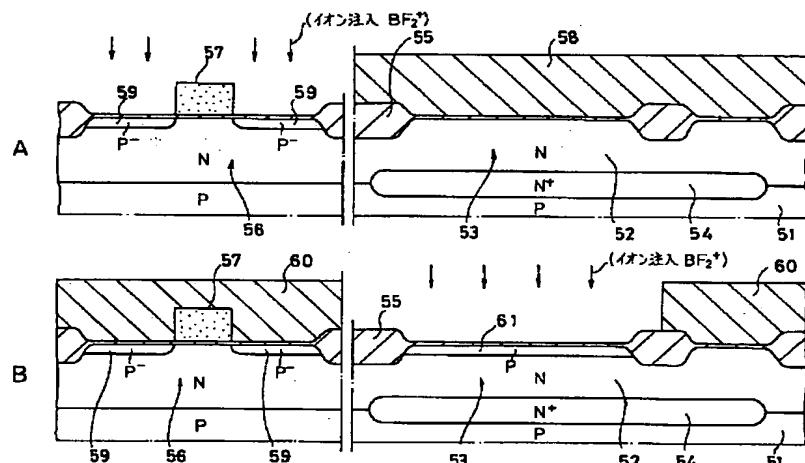
本実施例の製法の他の例を示す工程経過図

【図12】



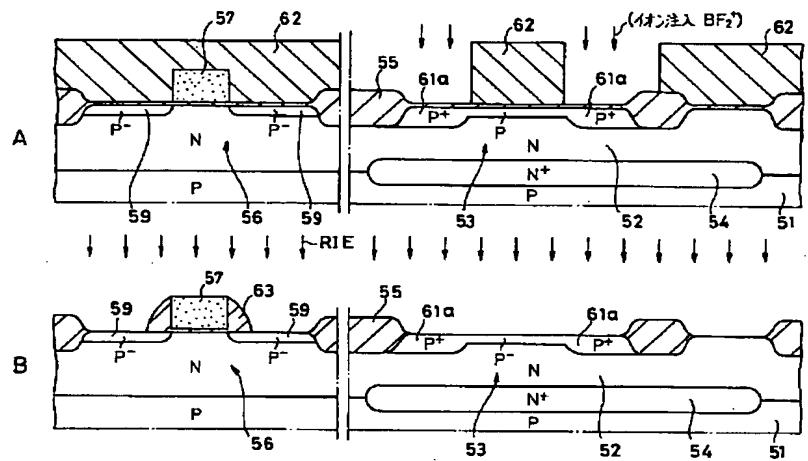
従来例の製法を示す工程図(その1)

【図13】



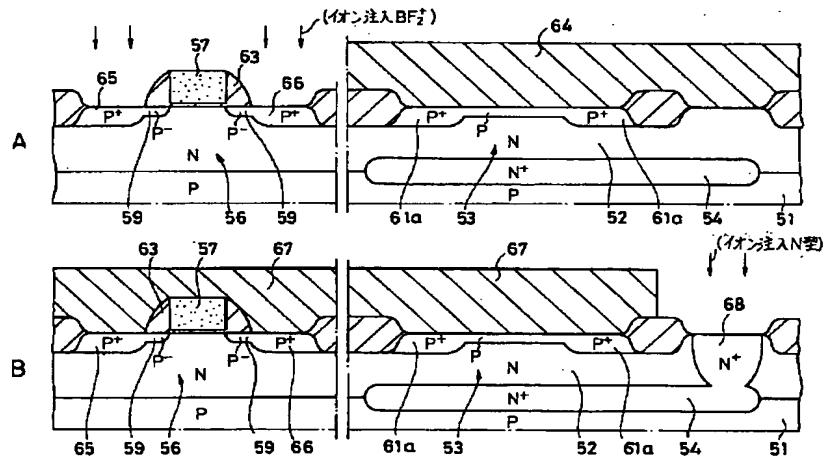
従来例の製法を示す工程図(その2)

【図14】



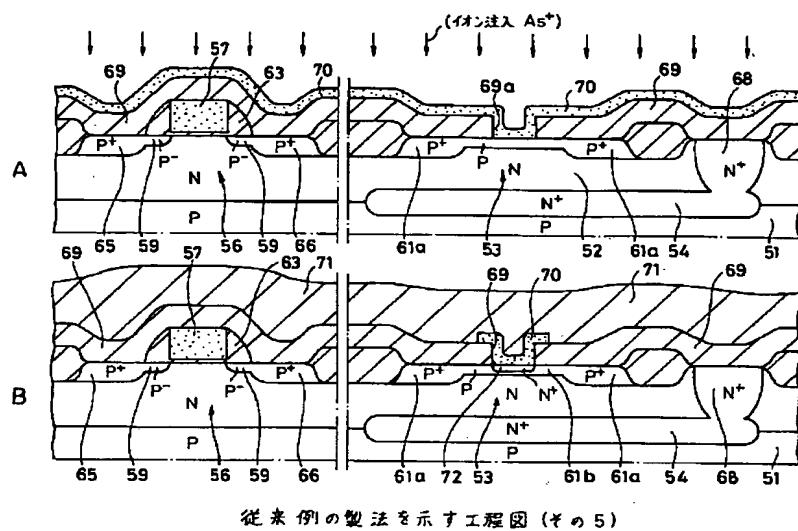
従来例の製法を示す工程図(その3)

【図15】



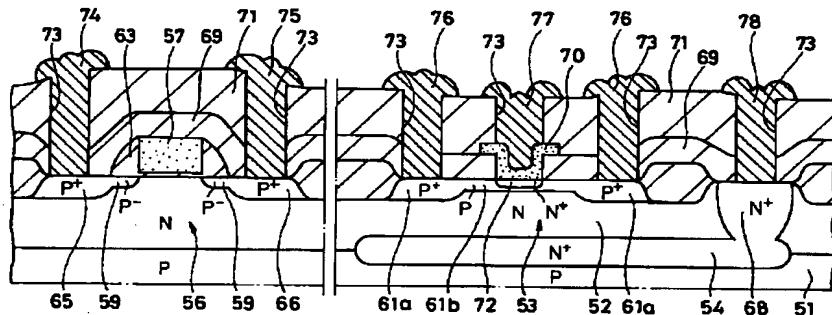
従来例の製法を示す工程図(その4)

【図16】



従来例の製法を示す工程図(その5)

【図17】



従来例の製法を示す工程図(その6)